

(18)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 01186601 A

(43) Date of publication of application: 26.07.89

(51) Int. Cl.

H01C 7/02

(21) Application number: 63006146

(71) Applicant: MURATA MFG CO LTD

(22) Date of filing: 14.01.88

(72) Inventor: YONEDA YASUNOBU
SHIMABARA YUTAKA
SAKABE YUKIO

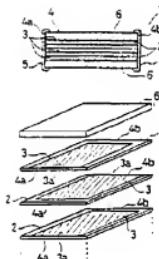
(54) V2O3 CERAMICS RESISTOR ELEMENT

(57) Abstract:

PURPOSE: To utilize a resistor element as a restriction element for a high current and high power by making a resistor element a laminated body made by alternately laminating ceramics layers and inner electrodes.

CONSTITUTION: In a resistor element 1, V_2O_3 ceramics layers 2 and inner electrodes 3 conducted to outer electrodes are alternately laminated, while end faces 3a of the inner electrodes 3 are exposed. The laminated body 4 is sintered. Accordingly, heat from each inner electrodes 3 is conducted almost equally to the central part as well as to the outside of the laminated body 4 and temperature rise due to self-heating of the resistor element 1 comes to be almost equal both inside and outside. Further, at the time of cooling, temperature almost equally fall inside and outside. Thereby, hysteresis can be made small and, as a result, the resistor element can be utilized as a restriction element for a current and highpower.

COPYRIGHT: (C)1989,JPO&Japio



⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
⑫ 公開特許公報 (A) 平1-186601

⑬ Int. Cl. * 識別記号 域内整理番号 ⑭ 公開 平成1年(1989)7月26日
H 01 C 7/02 7048-5E

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 V_2O_5 系セラミクス抵抗体素子

⑯ 特願 昭63-6146
⑰ 出願 昭63(1988)1月14日

⑱ 発明者 米田 康信 京都府長岡市天神2丁目26番10号 株式会社村田製作所内

⑲ 発明者 島原 豊 京都府長岡市天神2丁目26番10号 株式会社村田製作所内

⑳ 発明者 坂部 行雄 京都府長岡市天神2丁目26番10号 株式会社村田製作所内

㉑ 出願人 株式会社村田製作所 京都府長岡市天神2丁目26番10号

㉒ 代理人 弁理士 下市 努

明細書

1. 発明の名称

V_2O_5 系セラミクス抵抗体素子

2. 特許請求の範囲

① 所定の温度で導体から絶縁体に移する抵抗特性を有する V_2O_5 系セラミクス抵抗体素子において、上記抵抗体素子が、セラミクス層と外部電極に導通される内部電極とを交互に構成してなる複層体であることを特徴とする V_2O_5 系セラミクス抵抗体素子。

② 上記複層体が、上記内部電極が形成されたセラミクス層を複数重層し、一体結合してなる複層体であることを特徴とする特許請求の範囲第1項記載の V_2O_5 系セラミクス抵抗体素子。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、 V_2O_5 を主成分とする半導体セラミクスからなるPTC抵抗体素子に関し、特に耐熱衝撃性を向上するとともにヒステリシスを抑制することにより、大電流、大電力用の制限素子と

して採用できるようにした V_2O_5 系抵抗体素子に関する。

(従来の技術)

一般に、PTC抵抗体素子に採用される V_2O_5 系半導体セラミクスは、ある所定の温度で導体から絶縁体へ移行する。いわゆるモット転移を利用したものである。このPTC抵抗体素子は、比抵抗が小さく、温度が上昇するにつれて抵抗が著しく増加する正の抵抗特性を示すことから、大電流、大電力用の制限素子としての利用が期待されている。

このような抵抗体素子としては、従来、例えば第4回に示す構造のものが一般的である。この抵抗体素子10は、丸棒状の V_2O_5 系半導体素子11の外周面にガラス材12をコーティングし、両端間にCu製電極13を形成し、これに端子13を接続して構成されている。

(発明が解決しようとする問題点)

しかしながら、上記従来の V_2O_5 系セラミクスからなるPTC抵抗体素子は、一般的に、丸棒

状に形成されていることから、印加電流値が大きくなり、自己発熱によって急速に温度上昇した場合、素子内の温度分布が不均一となり、その温度差からクラックが発生し易く、耐熱衝撃性が低いという問題がある。また、上記抵抗体素子は、温度上昇時の往路と温度下落時の復路とでは別の抵抗特性曲線を描くという現象現象、いわゆるヒステリシスが大きいという問題もある。このことから、上記従来のV_zO_x系抵抗体素子を大電流、大電力用の制限素子として選用するには、実用上の割合が大きく、通用範囲が狭いという問題点がある。

本発明の目的は、上記熱衝撃によるクラック等の発生及びヒステリシスを抑制することにより、大電流、大電力用の制限素子として採用できるV_zO_x系セラミクス抵抗体素子を提供することにある。

(問題点を解決するための手段)

そこで本発明は、V_zO_x系セラミクス抵抗体素子において、該抵抗体素子を、V_zO_x系セラ

ミクス層と、外部電極導通される内部電極とを交互に積層してなる積層体としたことを特徴としている。

ここで、本発明における上記積層体は、例えば上記内部電極が形成されたセラミクス層を複数積層するとともに、これの一側面、及び他側面に上記内部電極の端面を露出させ、これを一体統合することによって実現できる。なお、該焼結体の内部電極が露出された両側面に、該内部電極に接続される外部電極を形成してもよい。

(作用)

本発明に係るV_zO_x系セラミクス抵抗体素子によれば、該抵抗体素子をセラミクス層と内部電極とを交互に積層してなる積層体としたので、該各内部電極からの熱が積層体の中心部、外部とともに均一に伝わり、該抵抗体素子の自己発熱による温度上昇は内部、外部とも均一に行われるようになり、また冷却時においても温度は内部、外部とも均一に下落することになる。従って、従来の抵抗体素子に生じていた中心部と外部とに生じ

る大きな温度差を解消できるから、それだけクラックの発生を防止でき、耐熱衝撃性を向上できる。また、上記抵抗体素子の温度の上昇、下降を均一にできることから、ヒステリシスを大幅に小さくでき、その結果電流、大電力用の制限素子として利用できる。

(実施例)

以下、本発明の実施例を図について説明する。第1図及び第2図は本発明の一実施例によるV_zO_x系セラミクス抵抗体素子を説明するための図である。

図において、1は本実施例のV_zO_x系セラミクス抵抗体素子であり、これの外形は、幅1mm、高さ0.5mm、長さ1.5mm程度の直方体状のものである。この抵抗体素子1は、V_zO_xを主皮膜とするセラミクス層2とクラングステン(W)からなる内部電極3とを交互に積層して、一体焼結された焼結体4の側面図4、4'にC₁からなる外部電極5を被覆形成して構成されている。なお、上記焼結体4の上、下端部分はダミーとしてのセ

ラミクス層6で覆われている。

また、上記各内部電極3の端面部3'aは、焼結体4の一側面4'aと他側面4'bとに交互に露出されており、これ以外の部分は上記焼結体4内に埋設されている。これにより、上記各内部電極3は外部電極5に接続されている。

次に本実施例のV_zO_x系セラミクス抵抗体素子1の製造方法について説明する。

① まず、粉砕を完全に行って得た平均粒径3μm以下のV_zO_xの粉末に微量のC₁O₂の粉末を添加するとともに、これに有機バインダー、及び溶剤としてのトルエンを混合してスラリー状のセラミクス材料を生成する。

② 次に、上記セラミクス材料をドクターブレード法によって、所定の均一厚さのグリーンシートに形成した後、乾燥させて所定の大きさにカッティングする。

③ そして、上記グリーンシートの上面にペースト状のWを所定のパターン形状(後述の切替部に、第2図に示すように、電極の一边部分3'aの

特開平1-186601(3)

みが外縁まで伸び、他の辺部分は内方に位置する形状)にスクリーン印刷して多数の内部電極3を形成した後、該各内部電極3が各グリーンシートを挟んで対向するように積層し(第2回参照)、さらにこの積層されたシートの上、下にグリーンとしてのセラミクスシートを重ねて積層体を成形する。次に、この積層体をプレスによって積層方向に圧着した後、所定寸法に切断する。するとこれにより、内部電極3は、該積層体の両側面に位置する部分3のみが外方に露出し、残りの部分は上記各シート内に埋設され、一体化されることとなる。

④ 次に、上記所定寸法に切断された該積層体、N₂雰囲気中で1000℃×3hr 加熱し、バイオニアを燃焼、焼失させる脱バインダー処理を行った後、続いて1800℃×3hr 焼成し、該積層体を生成する。しかし、上記該積層体4の両側面、つまり内部電極3の露出面にベースト状のCu膜を塗布した後、これをH₂/N₂雰囲気中で950℃×30min 焼成して外部電極5を成形する。これにより本実施例

のV₁₀O₈系セラミクス抵抗体素子1が製造される。

次に本実施例の作用結果について説明する。

本実施例のV₁₀O₈系セラミクス抵抗体素子1によれば、セラミクス層2と内部電極3とを交互に積層することにより、該積層体の内部に伝導性の良いW型内部電極3を多数、均一に介在させたので、該積層体4の中心部、外周とともに瞬時に自己発熱を起こすことから、該該積層体4の温度は内部、外部とも略均一に上昇することになり、従って冷却時においても温度は内部、外部とも略均一に下降することになる。その結果、従来の抵抗体素子に生じていた中心部と外周との温差な温度差を解消できるから、クラックの発生を回避でき、それだけ耐熱衝撃性を向上できる。

また、上記抵抗体素子1の自己発熱による温度の上昇、下降を均一にできるので、温度上昇時の往路と下降時の復路における抵抗特性の差を小さくできるから、その分ヒステリシスを抑制でき、その結果大電流、大電力用の温度制限素子として

の採用が可能となる。

さらに本実施例では、上記V₁₀O₈とCr₂O₃との混合物の平均粒径が3μm以下となるようになしたので、この点からもヒステリシスを抑制できる効果が得られる。

第3回は、本実施例によるV₁₀O₈系セラミクス抵抗体素子1のヒステリシス抑制効果を説明するための温度と抵抗値との関係の実験結果を示す特性図である。

この実験では、本実施例により製造された抵抗体素子1と比較するため、第4回に示すような従来のV₁₀O₈系抵抗体素子1を採用した。この抵抗体素子1は、大きさ10~20mm², 0.1~0.05ΩのV₁₀O₈系半導体素子1の外側面にガラス材12をコートシングし、該半導体素子11の両側面にCu製電極13を形成し、これに端子13を接続して構成されている。

第3回は本実施例の抵抗体素子1、第3回は従来の抵抗体素子1の特性図を示す。同図から明らかかなように、従来の抵抗体素子1は、

往路と復路とでは30%の差があるのに対して、本実施例の抵抗体素子1は、5%の差しか生じておらず、ヒステリシスを大幅に小さくできていることがわかる。

次に、上記両者を熱サイクルテストにかけて、特性良品率を調べた。この熱サイクルテストは、25℃の常温時における抵抗値を基準として、各抵抗体素子1、1.0Ωから100Ωまで加熱し、さらに100℃から0℃まで冷却する工程を1サイクルとし、これを1000サイクル繰り返した後測定した抵抗値が、上記基準抵抗値の±5%以内のものを良品とする判定基準を設定して行った。その結果、従来の抵抗体素子1は、良品率は僅か3%に過ぎなかったのに対して、本実施例の抵抗体素子1は良品率97%であった。

なお、上記実施例では、グリーンシートに電極を形成したものを積層するようにしたが、本発明の抵抗体素子はこの方法に限られるものではない。例えばフィルム上にペースト状のセラミクスをスクリーン印刷法により形成し、これの上に電極を

特開平1-186601(4)

スクリーン印刷し、これを順次繰り返して複層体を形成してもよい。

[発明の効果]

以上のように本発明によるV_TO_x系セラミクス抵抗体素子によれば、複層抵抗体素子をセラミクス層と内部電極とを交互に構成してなる複層体としたので、耐熱衝撃性を向上できるとともに、ヒステリシスを抑制できるから、大電流、大電力用の制限素子として利用できる効果がある。

4. 図面の簡単な説明

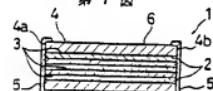
第1図は本発明の一実施例によるV_TO_x系セラミクス抵抗体素子を説明するための断面正面図、第2図はその内部電極が形成されたセラミクス層の複層状態を示す分解斜視図、第3図(a)及び第3図(b)はそれぞれ本実施例、従来例の温度と抵抗値との関係を示す特性図、第4図は本実施例の効果を説明するための実験に採用した従来のPTC抵抗体素子を示す断面正面図である。

図において、1はV_TO_x系セラミクス抵抗体素子、2はセラミクス層、3は内部電極、4は焼

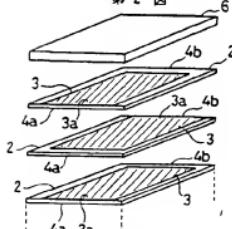
結体(積層体)、5は外部電極である。

特許出願人 森田製作所
代理人 齋藤士 下市 勝

第1図



第2図



第3図

第3図

